Departamento de Ingeniería Electrónica

Facultad de Ingeniería Universidad de Antioquia Práctica No. 1. Diseño, simulación e implementación de compuertas y circuitos combinacionales con dispositivos CMOS

Guía

**OBJETIVOS**

* Corroborar conceptos fundamentales asociados a la implementación de compuertas lógicas con tecnología CMOS.
* Realizar la verificación de las funciones básicas usando simulación eléctrica con el Spice.
* Verificar parámetros básicos tales como tiempo de atraso, disipación de energía, asociados a la compuertas lógicas implementadas con tecnologías CMOS,
* Realizar la implementación de funciones combinaciones complejas con dispositivos CMOS y realizar la simulación eléctrica con el Spice.

**INTRODUCIÓN**

**1. CARACTERIZACIÓN DE LAS COMPUERTAS BASICAS**

En este sesión debe implementar las compuertas básicas NAND, NOR, AND, OR, XOR y XNOR de dos entradas a nivel de transistores. Se deben caracterizar usando el simulador Spice, teniendo una capacitancia de carga de 500 fF.

Verifique, mediante simulación con el Spice, la tabla de verdad (considere todas las combinaciones de la tabla de verdad). A cada grupo se les suministrará las dimensiones de los transistores tipo N y tipo P usarlas en los modelos. Construya para cada compuerta una tabla similar a la siguiente para reportar los resultados de las salida encontrados por simulación

|  |  |  |  |
| --- | --- | --- | --- |
| Compuerta NAND | | | |
| a | b | Y (salida) | Y(por simulación) |
| 0 | 0 | 1 | 1.5V |
| 0 | 1 | 1 | 1.5V |
| 1 | 0 | 1 | 1.5V |
| 1 | 1 | 0 | 0V |

|  |  |  |  |
| --- | --- | --- | --- |
| Compuerta NOR | | | |
| a | b | Y (salida) | Y(por simulación) |
| 0 | 0 | 1 | 1.5V |
| 0 | 1 | 0 | 0V |
| 1 | 0 | 0 | 0V |
| 1 | 1 | 0 | 0V |

|  |  |  |  |
| --- | --- | --- | --- |
| Compuerta AND | | | |
| a | b | Y (salida) | Y(por simulación) |
| 0 | 0 | 0 | 0V |
| 0 | 1 | 0 | 0V |
| 1 | 0 | 0 | 0V |
| 1 | 1 | 1 | 1.5V |

|  |  |  |  |
| --- | --- | --- | --- |
| Compuerta OR | | | |
| a | b | Y (salida) | Y(por simulación) |
| 0 | 0 | 0 | 0V |
| 0 | 1 | 1 | 1.5V |
| 1 | 0 | 1 | 1.5V |
| 1 | 1 | 1 | 1.5V |

|  |  |  |  |
| --- | --- | --- | --- |
| Compuerta XOR | | | |
| a | b | Y (salida) | Y(por simulación) |
| 0 | 0 | 0 | 0V |
| 0 | 1 | 1 | 1.5V |
| 1 | 0 | 1 | 1.5V |
| 1 | 1 | 0 | 0V |

|  |  |  |  |
| --- | --- | --- | --- |
| Compuerta XNOR | | | |
| a | b | Y (salida) | Y(por simulación) |
| 0 | 0 | 1 | 1.5V |
| 0 | 1 | 0 | 0V |
| 1 | 0 | 0 | 0V |
| 1 | 1 | 1 | 1.5V |

Para cada compuerta, también se deben medir los siguientes parámetros : tiempos de atraso, Tiempo de subida y de bajada en la salida (solo un caso), consumo de energía en un periodo de tiempo. A cada grupo se les suministrará las dimensiones de los transistores tipo N y tipo P para considerarlos en el modelo. En el informe se debe presentar las tabla siguiente con las caracterizaciones realizadas por simulación.

Compuerta Td(tiempo de atraso)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Compuesta** | **Td (tiempo de atraso)** | **tr(tiempo de subida)** | **tf (tiempo de bajada)** | **E (consumo de energía)** |
| **Inversor** | 2.1469e-06 | 2.1134e-06 | 2.1805e-06 | 1.34292e-06 |
| **NAND** | 3.2372e-06 | 3.7236e-06 | 2.7507e-06 | 9.314266e-07 |
| **NOR** | 6.7931e-06 | 4.7300e-06 | 8.8562e-06 | 1.479156e-06 |
| **AND** | 6.0383e-06 | 6.8098e-06 | 5.2667e-06 | 1.42804e-06 |
| **OR** | 3.8913e-06 | 3.0191e-07 | 7.4808e-06 | 8.13156e-13 |
| **XOR** | 8.2188e-06 | 9.7955e-06 | 6.6421e-06 | 1.720535e-05 |
| **XNOR** | 7.4975e-06 | 8.3530e-06 | 6.6421e-06 | 1.811137e-05 |

**2. Implementación y caracterización de una función combinacional de tres entradas**

En este sesión se suministrará a cada equipo una FUNCIÓN combinacional de 3 entradas (A, B y C) Teniendo en cuenta esta función suministrada realice el siguiente procedimiento. Se debe simplificar la función usando el método de Quine McCluskey.

La función simplificada se implementará de dos maneras:

1. Simplifique la función, si es posible, reduciendo el número de literales empleando el método de Quine McCluskey
2. Implemente la función simplificada usando compuertas NAND o NOR e inversores. Las funciones pueden tener múltiples entradas máximo hasta 4, y verifique mediante simulación la tabla de verdad. Determine el tiempo de atraso de la función de acuerdo a la simulación, considerando una capacitancia de carga en la salida de 500fF
3. Implemente la función simplificada mediante una red de transistores (con transistores NMOS y PMOS en una estructura CMOS, en conexión serie paralelo). Determine el tiempo de atraso de la función de acuerdo a la simulación, considerando una capacitancia de carga en la salida de 500fF
4. Implemente la función simplificada usando solo compuertas NAND o NOR con solo de dos entradas. Simule el circuito y verifique la tabla de verdad.

Usar el modelo de la tecnología de IBM de 180nm para los transistores para realizar las simulaciones. Ver modelos en

<https://github.com/DDD-FIT-CTU/CMOS-SPICE-Model-Collections/blob/github/MOSIS_waferTestData_IBM_180nm/data/t42s-params.txt>

Al final de la guía se suministra la tabla de verdad para que se complete considerando los resultado de la simulación de los tres casos. (considere todas las combinaciones de la tabla de verdad). Si en la simulación aparecen Glitches, explique a que deben. Haga un análisis de un caso en particular.

Para la simulación defina las tres señales de entrada x, y ,z usando fuentes tipo PULSE, con el fin de verificar todas las posibles combinaciones de la tabla de verdad. Cada combinación de las señales digitales de entrada debe permanecer estable por 400 ps antes de cambiar al próximo valor. Considere que las señales de entrada tienen tiempo de subida y de bajada de 20 ps. Use un voltaje 1.5 V para “1” lógico y una fuente de polarización VDD de 1.5 V. Para los transistores.

1. Determine el número de transistores requeridos en cada implementación y el tiempo de atraso para los tres casos.

Nota: para implementación de la función con compuertas, use sub-circuitos en el Spice. .SUBCKT Se suministrarán los sub-circuitos para cada compuerta.

1. **Implementación de la función asignada usando los CHIPs IC4011 (con cuatro compuertas NAND CMOS de dos entradas) o el IC 4001(con cuatro compuertas NOR CMOS de dos entradas).**

En esta parte se realizará una verificación práctica de la función asignada a su equipo. El circuito a alambrar es el implementado en la sección 2, ítem iv.

Los chips son construidos con una tecnología CMOS por la Texas Instrument. Revise el *Datasheet* correspondiente. (Nota: aunque la tecnología usada en estos circuitos se encuentra en desuso por el avance las tecnologías de fabricación, se utiliza en esta práctica por el acceso a las compuertas básicas de dos entradas construidas en una tecnología CMOS.) Como alternativa podría utilizar la aplicación(tinkercad para la implementación) <https://www.tinkercad.com/things?type=circuits&sort=staff&view_mode=small>, para realizar una verificación adicional.

**Siga el siguiente procedimiento:**

* En un diagrama (si tiene acceso en un protoboard) utilice un dibujo del CI con pines, y haga un diagrama con los chips y la conexiones para implementar la FUNCIÓN signada en la segunda sección, ítem iv, diseñada con compuertas nand o nor de únicamente dos entradas (que ya fue simulada).
  + Nota: Revise la hoja de datos para identificar los pines de entrada y salida de cada compuerta. Polarícelo con un voltaje VDD = 3.3 V o 5 V.
* Conecte los chips en el protobard para implementar su función.
* Utilice las fuentes de voltaje (pueden ser pilas) para introducir los diferentes valores lógicos en las entradas para comprobar toda la tabla de verdad.
  + Verifique todas las combinaciones, cambiando el valor del voltaje en las entradas de la función y comprobando el valor de la salida, utilizando un voltímetro para medir el voltaje. Verifique todas la tabla de verdad cambiando la polarización de las entradas de acuerdo a valores de la tabla de verdad (´1´lógico seria 3,3 V y ´0´ lógico seria 0 V). Verifique todas las combinaciones

Nota: Utilice también estas fuentes (pilas) para la polarización los CI (Vdd y tierra). (Nota: tómele una foto al circuito para el informe de la práctica).

**INFORME:**

La práctica tiene una duración de dos semanas. Cada Equipo debe mostrar funcionando los circuitos en el laboratorio a nivel de simulación y en la implementación en el CI (tercera parte)

Se debe entregar un informe detallado con los resultados obtenidos en el procedimiento, incluya las evidencias, las gráficos (prints de las simulaciones) Anexe los archivos \*.cir, para todos los casos. Dentro de los archiven deben estar los nombres de los integran el equipo. En el informe considere lo siguiente:

1. Realice un informe explicando el procedimiento y los resultados de cada paso (incluya la descripción de los circuitos (archivos .cir), resultados de simulación (gráficas impresas), medidas realizadas y tablas de verdad completa)
2. Imprima los resultados de la simulación mostrando las formas de onda de las entradas (2) y la salida (1), primera parte y tres entrados una salida en la segunda parte. Construya una tabla con los tiempos de atraso medidos por simulación.

**Cuidados en el laboratorio (en el caso que se implemente el circuito con los Chips)**

1. La manipulación de los chips fabricados con tecnología CMOS debe ser muy cuidadosa, debido a su sensibilidad a las cargas electroestáticas, que pueden dañar permanentemente los componentes electrónicos internos del circuito. Es importante evitar tocar con los dedos los terminales de los circuitos, si no se ha llevado a cabo una descarga de la energía estática. Utilice siempre la manillas antiestáticas suministradas en el laboratorio.
2. Antes de energizar el circuito verifique que no existe un corto circuito (conexión directa entre VDD y tierra). Evite manipular las conexiones con el circuito energizado, pues es la causa principal de los cortos circuitos.

**Calificación**

75% Demostración de los circuitos funcionando en las tres secciones (partes) (sustentación e implementación ) de la práctica. (25% por cada parte). Nota: es importante tener completa la tabla de verdad para la sustentación.

25% informe escrito con los resultados y conclusiones (explicación, redacción y soporte de los resultados).

**Tablas de verdad Segunda Parte.**

Z1: Salida de función original sin simplificación.

Z2: Salida de la Función simplificada con el método de Quine McCluskey

Z3: Salida de la función en el caso de la implementación en compuertas lógicas de diferente número de entradas(manual, por manipulación algebraica)

Z4: Salidas de la implementación en una red complementaria de transistores en conexión seré paralelo.

Z5: Salida de simulación de la implementación con compuertas usando el Spice.

Z6: Salida de simulación de la implementación en una red completaría de transistores serie-paralelo en el Spice.

Z7: Salida medida de la función implementada con compuerta Nand o Nor de dos entradas. (si se implementa en el Protoboard)

Z8: Salida de la función implementada y medida en el protoboard

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| x | y | w | Z1 | Z2 | Z3 | Z4 | Z5 | Z6 | Z7 | Z8 |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |